

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

9471918

Basic Patent (No,Kind,Date): JP 2224346 A2 19900906 <No. of Patents: 002>

FORMATION OF THIN FILM TRANSISTOR (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KODAMA MITSUFUMI; KANEHANA MIKIO

IPC: *H01L-021/336; H01L-021/20; H01L-029/784

Derwent WPI Acc No: C 90-316201

JAPIO Reference No: 140533E000006

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2224346	A2	19900906	JP 8946067	A	19890227	(BASIC)
JP 2979227	B2	19991115	JP 8946067	A	19890227	

Priority Data (No,Kind,Date):

JP 8946067 A 19890227

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03248846

FORMATION OF THIN FILM TRANSISTOR

PUB. NO.: 02-224346 [JP 2224346 A]

PUBLISHED: September 06, 1990 (19900906)

INVENTOR(s): KODAMA MITSUFUMI

KANEHANA MIKIO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-046067 [JP 8946067]

FILED: February 27, 1989 (19890227)

INTL CLASS: [5] H01L-021/336; H01L-021/20; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1005, Vol. 14, No. 533, Pg. 6,
November 22, 1990 (19901122)

ABSTRACT

PURPOSE: To form a TFT, which operates at high speed, without applying a complicated process and with good reproducibility by a method wherein a low-resistance unsingle crystal semiconductor layer is cut using a laser beam and an optical system for narrowing a laser beam is used for forming source and drain regions.

CONSTITUTION: In case a plurality of pieces of thin film transistor elements are formed in an alignment on a substrate, a low-resistance unsingle crystal semiconductor layer having an N-type or P-type conductivity type is cut by irradiating a laser beam to form source and drain regions. Moreover, a laser beam is selectively applied to enhance the crystallization of a part, which is irradiated with the laser beam, of a high-resistance unsingle crystal semiconductor layer to contrive so that the part becomes a channel part of a plurality of pieces of the thin film transistor elements. Thereby, a reduction of a channel length can be made possible.

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-224346

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月6日

H 01 L 21/336
21/20
29/784

7739-5F

8624-5F H 01 L 29/78
8624-5F3 1 1 Y
S

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 薄膜トランジスタの作製方法

⑯ 特 願 平1-46067

⑰ 出 願 平1(1989)2月27日

⑱ 発 明 者 小 玉 光 文 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発 明 者 金 花 美 樹 雄 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑳ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

薄膜トランジスタの作製方法

2. 特許請求の範囲

1. 薄膜トランジスタ素子を整列して複数個形成する際に、ソース、ドレイン領域となるN又はP型の導電性を有する低抵抗の非単結晶半導体層を形成する工程と、高抵抗の非単結晶半導体層を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有し、さらに、レーザー光を照射することにより前記N又はP型の導電性を有する低抵抗の非単結晶半導体層を切断し、ソース、ドレイン領域を作製する工程と、選択的にレーザー光を照射して前記高抵抗の非単結晶半導体層のレーザー光が照射された部分の結晶化を助長せしめ、その部分が複数個の薄膜トランジスタのチャンネル部になるように作製することを特徴とした薄膜トランジスタ素子の作製方法。

2. 特許請求の範囲第1項において、N又はP型の導電性を有する低抵抗の非単結晶半導体層を切断する工程と、選択的にレーザー光を照射して前記高抵抗の非単結晶半導体層のレーザー光が照射された部分の結晶化を助長せしめる工程とが同時に行われることを特徴とする薄膜トランジスタの作製方法。

3. 発明の詳細な説明

「産業上の利用分野」

本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ(以下にTFTともいう)及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高速応答性を持つ薄膜トランジスタに関する。

「従来の技術」

最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、

その作製雰囲気温度が最高で450℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはすでに確立された技術であるフォトリソグラフィーが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られたTFTの代表的な構造を第2図に概略的に示す。

(20)はガラスよりなる絶縁性基板であり、(

21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソースドレイン領域で、(24)、(25)はソースドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソースドレイン(22)、(23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 μ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非単結晶半導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい0.1~1(

$\text{cm}^2/\text{V} \cdot \text{Sec}$)程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかにチャネル長を短くすることと、キャリアの移動度を大きくすることが知られ、種々の改良が行われている。

特にチャネル長Lを短くすると、その2乗で応答速度に影響するので非常に有効な手段である。

しかしながらTFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィー技術を用いて、ソースドレイン間の間隔(だいたいのチャネル長に対応する)を $10\mu\text{m}$ 以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短くする手段として、フォトリソグラフィー技術を使用しない手段が求められている。

その一つの答えとして、第3図に示すように縦チャネル構造のTFTが提案されている。これは基板上にソース(30)活性領域(31)ドレイン(32)よりなる非単結晶半導体層を積層したのち、ゲ

ート絶縁膜(33)を形成しその上にゲート電極(34)を有するものである。

この構造の場合、そのチャネル長はほぼ活性領域(31)の厚みに対応し、活性領域の厚みを調節することにより容易にチャネル長を可変できるものであった。

しかしながら、この構造のTFTは非単結晶半導体層を複数層積層するので、ソースドレイン間の電流が流れる方向に多数の界面を有していることになり、良好なTFT特性が得られない。また、電流の流れる方向の断面積が大きいのでオフ電流が増大するという問題が発生し、縦型TFTは本質的な問題解決とはなっていない。

一方、移動度を向上させることは、従来より種々の方法によって行われていた。代表的には、非単結晶半導体をアニールして、単結晶化又は多結晶のグレインサイズを大きくすることが行われていた。

これら従来例では、高温下でアニールするために、高価な耐熱性基板を使用しなければならな

ったり、基板上全面の半導体層を単結晶化又は多結晶化するため、処理時間が長くなるという問題が発生していた。

「発明の目的」

本発明は、前述の如き問題を解決するものであり、従来より知られたTFT に比べて、高速で動作するTFTを複雑な工程がなく、再現性よく作製する方法を提供することをその目的とするものであります。

「発明の構成」

上記目的を達成するために本発明は、基板上に薄膜トランジスタ素子を整列して複数個形成する場合において、レーザーを照射することにより、N又はP型の導電型を有する低抵抗の非単結晶半導体を切断し、ソース、ドレイン領域を作製する工程と、選択的にレーザー光を照射して、前記高抵抗の非単結晶半導体層の、レーザー光が照射された部分の結晶化を助長せしめ、その部分が複数個の薄膜トランジスタのチャンネル部になるように作製することを特徴とする。

非単結晶半導体薄膜の複数の部分の結晶化、非単結晶半導体の切断を短時間で行うことができる。またドット状に照射する場合においても1ヶ所に照射した後の基板の移動のためのプログラムが、整列した部分への照射のために簡単であるうえ、工程上も、非単結晶半導体薄膜の複数の部分の結晶化、非単結晶半導体の切断を短時間で行うことができる。

さらに本発明においては、エッチングの際も、レーザー光を照射した部分は照射しない部分に比較してエッチングしにくいので、エッチング時の歩留りが上昇し、コストダウンにもなり得る。

特に作製しようとする薄膜トランジスタがコブレナー型、逆スタガード型の場合には、低抵抗の非単結晶半導体薄膜を切断する工程と、高抵抗の非単結晶半導体薄膜の結晶化を同時に行うことができ、特に工程に要する時間を短縮することができる。

さらに、例えばスタガード型の薄膜トランジスタを作製する場合には、真空装置内においてN型の非

本発明では、レーザー光を用いて低抵抗の非単結晶半導体を切断し、ソース、ドレイン領域を作製するために、レーザー光を絞るための光学系を用いることにより、ソース、ドレイン領域の間隔（ほぼチャンネル長に相当する。）を数 μm 程度にすることが可能であり、従来のフォトリソグラフィ法では困難であったチャンネル長の短縮を可能にすることができる。

また、レーザー光照射により高抵抗の非単結晶半導体層の結晶化を助長するため、TFTのキャリア移動度を増大させ、前に述べた応答速度を増大せしめ、その結果従来適用できなかった液晶ディスプレイ、イメージセンサー等に非単結晶半導体を用いた薄膜トランジスタ素子を適用可能ならしめるものである。

さらに本発明においては、基板上の整列した複数の部分に直線状或いはドット状にレーザー光を照射するため、従来の方法に比較して、直線状に照射する場合には直線部分の結晶化の促進或いは非単結晶半導体の切断を同時に行うことができ、

単結晶半導体膜を作製した後、その真空装置内に基板をセットした状態で真空装置内にレーザー光を導いてN型の半導体薄膜を切断してソース、ドレイン領域を作製し、その状態で高抵抗の（I型）非単結晶半導体薄膜を成膜して、再びレーザー光を照射することによりI型の半導体層を結晶化し、その後絶縁膜を作製することができる。つまり、N型の半導体層の作製から絶縁膜の作製まで基板に手を触れることなく行うことができる。従って確実にN型の半導体層の切断した部分とI型の半導体層の結晶化する部分とが一致する、つまりチャンネル領域のみ結晶化することができる。さらに、I型の半導体薄膜を作製しながらレーザー光を照射して結晶化の進んだ半導体薄膜を作製した場合には、薄膜作製、結晶化と2回にわけて行われていた工程を1回の工程で行うことができ、工程に要する時間の短縮が実現できる。そのうえ、前に述べた複数の箇所の結晶化或いは切断と組み合わせれば、さらに工程時間の短縮が実現できる。

以下に実施例により本発明を詳しく説明する。

「実施例1」

本実施例においては、液晶ディスプレイに用いるためのコブレナー型の薄膜トランジスタの作製について示す。

本実施例に対応する薄膜トランジスタの概略的な作製工程を第1図(a)～(g)に示す。

まず、基板(11)として、透明導電膜としてパターンニングされたITO電極(両素電極)(18)を有する300mm×300mmのソーダガラスを用い、この基板(11)上に公知のプラズマCVD法にて高抵抗半導体層としてI型の非単結晶珪素膜(13)を形成する。この時の作製条件は以下の通りであった。

基板温度	250℃
反応圧力	0.05 Torr
RFパワー(13.56MHz)	150 W
使用ガス	SiH ₄
膜厚	6000 Å

そして同様にプラズマCVD法により低抵抗非単結晶半導体としてN型の導電型を有する非単結

晶のエキシマレーザー光(15)を第1図(d)に示す様に照射し、非単結晶珪素膜(12)を切断し、続けて高抵抗の非単結晶珪素膜(13)のレーザー光を照射した部分の結晶度を増大せしめた。ここで注意しなければいけないことは、非単結晶珪素膜(13)を切断しないようにレーザー光のエネルギーを調節することである。

普通、レーザー光は中心部が強く、端のほうは弱くなっていて、強度において、ガウス分布を呈する。従って、この光の状態のまま照射すると光の中心部のみ結晶化が進んでしまうので、本実施例においては、光学系を用いて、光の強度を均一にして照射を行った。

そして第1図(e)の状態を得た。ただし、第1図(e)においては直線状にレーザー光を照射して、結晶度の増大した部分のみを示す。

本実施例においてのレーザー光の照射条件は最初パワー密度1J/cm²、パルス巾15μsecで、3パルス照射し、続けてパワー密度0.3J/cm²、パルス巾12μsecで、2パルス照射した。

晶珪素膜(12)を形成する。(第1図(a))

この非単結晶珪素膜(12)の作製条件は非単結晶珪素膜(13)の時とはほぼ同じであるが、使用ガスがSiH₄+PH₃で膜厚は2000Åとした。

このN型の非単結晶珪素膜(12)は、その形成時にH₂ガスを多量に導入し、RFパワーを高くして、微結晶化して電気抵抗を下げたものを使用しても良い。

次に、公知のフォトリソグラフィ技術を用いて、この非単結晶珪素膜(12)、(13)をソース、ドレイン領域の所定の外形パターンにマスキングを行い、CF₄ガスを用いてドライエッチングを行い、第1図(b)の状態を得た。

次に、公知のスパッタリング法を用いてモリブデン薄膜を成膜し、エッチングしてソース、ドレイン電極(50)、(51)を作製した。(第1図(c))

次に、この非単結晶珪素膜(12)に対し、長さ300mm巾2.5mmの細長い長方形の照射断面となるように、光学系によって集光された波長248.7nm

本実施例の場合、最初の3パルスは低抵抗の非単結晶珪素膜を切断するために、後の2パルスは高抵抗の非単結晶珪素膜を結晶化させるために照射した。この照射回数及びレーザーの条件は被加工物によって異なり本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

次に、プラズマCVD法で窒化珪素膜を100Å形成し、パターンニングを行いゲイト絶縁膜(16)とした。

そして、公知のスパッタリング法にて、モリブデン膜を成膜し、パターンニングを行い、ゲイト電極(17)を形成し、第1図(f)に示すような、薄膜トランジスタ(10)を整列して配置した基板を完成させた。(第1図(g))

そして絶縁膜を形成した後、配向膜塗布工程、スペーサー散布工程、貼り合わせ工程、液晶注入工程を通過して、液晶セルが完成した。

以上のようにして、光学系を用いて断面を直線状にしたレーザー光を用いて、複数の薄膜トランジスタに対応する低抵抗の非単結晶珪素膜の切断

を同時に行うことができ、さらに複数の薄膜トランジスタに対応する高抵抗の非単結晶珪素膜の結晶化の促進を同時に行うことができる。そのうえ前記2つの工程の、切断、結晶化を続けて行うことができるため、ソース、ドレイン領域間つまりチャネル部のみ結晶化を行うことができ、リーク電流を非常に少なく押さえることができ、さらに、液晶ディスプレイに用いるような大型の基板に複数のTFTを整列して作製する場合に特に短時間で加工ができ、有効である。

「実施例2」

本実施例においては、実施例1と同様に本発明を液晶ディスプレイの作製時に用いた場合について示す。ただし、スタガード型の薄膜トランジスタを作製する場合について述べる。

まず、実施例1で用いたものと同じ基板上に、実施例1と同様な方法でモリブデン膜を形成し、パターニングを行ってソース、ドレイン電極とする。

次に、実施例1と同様な方法でN型の導電性を

有する非単結晶半導体薄膜を形成する。

そして、N型の半導体薄膜を作製した真空装置内にレーザー光を導き、N型の半導体薄膜を切断する。

そして、N型の半導体薄膜を切断後、その状態で、実施例1と同様な方法で高抵抗の(I型)非単結晶半導体層を成膜し、再びレーザー光を照射してI型の非単結晶半導体層を結晶化する。

本実施例においては、巾 $5\mu\text{m}$ 長さ $2.5\mu\text{m}$ の長方形の照射断面となるように光学系によって集光された波長 $1.06\mu\text{m}$ のYAGレーザー光を第4図に示す様に点状に照射し、一箇所の照射ごとに基板をX、或いはY方向に一定の長さだけ動かして次の箇所の照射を行った。

この時のレーザー光の照射条件はパワー密度 $1\text{J}/\text{cm}^2$ 、繰り返し周波数 10kHz で1.5秒間照射した後、パワー密度 $0.5\text{J}/\text{cm}^2$ 、繰り返し周波数 10kHz で0.5秒間照射した。この場合、最初の1.5秒間はN型の半導体層の切断のため、後の0.5秒間はI型の半導体層の結晶化のために照射した。

この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光を均一にするために光学系を用いた。

そして、レーザー光照射後、同一の真空装置内で窒化珪素膜を 100\AA 成膜し、ゲート絶縁膜とした。

そして、公知のフォトリソグラフィ技術を用いて、N型、I型の半導体層、さらにゲート絶縁膜をパターニングした。

その後、モリブデン膜を作製、パターニングしてゲート電極として、薄膜トランジスタが完成した。

そして、絶縁膜を成膜した後、液晶配向膜塗布工程、スペーサー散布工程、貼り合わせ工程、液晶注入工程を経由して液晶セルが完成した。

このようにして、整列して形成される複数の薄膜トランジスタの、非単結晶珪素膜のチャネル部に相当する部分のみにレーザー光を照射し、結

晶化を促進することによって、応答速度の大きい薄膜トランジスタを作製することができ、そのうえ、レーザー光を部分的に照射するため、従来のように全面に照射する方法に比較して、短時間で結晶化が可能である。

本実施例においては、実施例1以上に必要な部分のみの照射であるため、非単結晶珪素膜のエッチングの際、かりに微妙に残渣が残ってしまった場合でも不必要な部分は結晶化が進んでいないので、リーク電流を少なくすることができる。

さらに、N型半導体層作製から絶縁膜作製までの工程を同一の真空装置内で、基板を1度も動かさずに行ったので、N型半導体の切断した部分とI型半導体の結晶化した部分とが一致し、余分なリーク電流を削減することができたうえに、工程に要する時間も短縮できる。

そのうえレーザー光照射を真空装置内で行ったため、レーザー光照射によりN型半導体が気化した結果生ずるガスをすばやく真空ポンプで引いてしまうため、一度気化したガスが再び基板表面に

吸着されることがなく、切断面が非常に清浄な状態になる結果、薄膜トランジスタの性能が非常に安定したものとなった。

本実施例は、スタガード型の薄膜トランジスタの作製に関するものであったが、例えば逆スタガード型の場合工程としては、ゲート電極作製→ゲート絶縁膜作製→I型半導体層作製→結晶化→N型半導体層作製→電極薄膜作製→N型半導体層電極切断の順になるが、このうちゲート絶縁膜作製からN型半導体層作製まで基板を動かさずに行なえるので、やはりN型半導体層の切断部分とI型半導体層の結晶化部分が一致して前に述べた効果が得られるものである。さらに他の型の薄膜トランジスタ作製の際も同様な効果が得られる。

「実施例3」

本実施例においては、本発明をイメージセンサーの作製時に用いた場合について示す。

まず、ガラス基板上に、実施例1と同様な方法で、モリブデン膜を形成した後、N型の導電性を有する非単結晶珪素膜を形成する。

パルス照射した。最初の3パルスはN型の非単結晶珪素膜を切断する際に用い、後の2パルスはI型の非単結晶珪素膜を切断する際の用いた。

この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光が均一になるように光学系を用いている。

次に、このI型の珪素膜上にプラズマCVD法で窒化珪素膜を100Å形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、パターニングを行い、ゲイト電極を形成し、その後絶縁膜を作製して薄膜トランジスタを完成させた。

このようにして、一直線上に整列して形成される複数の薄膜トランジスタを作製する際に、断面がほぼ直線状のレーザー光を用いたため半導体層の切断、結晶化を1回の工程で行うことができ

次に、公知のフォトリソグラフィ技術を用いて、実施例1と同様に非単結晶珪素膜を所定の外形パターンにマスキングを行い、CF₄ガスを用いてドライエッチングを行う。

次に、この非単結晶珪素膜に対し、巾5μm長さ230nm（基板の長さに対応する。）のほぼ直線状の照射断面となるように光学系によって集光された波長248.7nmのエキシマレーザー光を照射して、光を照射した部分の非単結晶珪素膜を切断して、ソース、ドレイン領域を作製する。

次に、実施例1と同様に高抵抗半導体層としてI型の非単結晶珪素膜を形成する。

再び巾5μm長さ230nm（基板の長さに対応する。）のほぼ直線状の照射断面となるように光学系によって集光された波長248.7nmのエキシマレーザー光を照射して、I型の非単結晶珪素膜を結晶化した。

ここまでのレーザー光の照射条件はパワー密度1J/cm²、パルス巾15μsecで3パルス照射した後、パワー密度0.5J/cm²、パルス巾10μsecで2

た。

「効果」

レーザー光を用いて複数の部分を同時に加工することにより、整列して形成される薄膜トランジスタのチャネル長の短縮とチャネル部の結晶度の増大を短時間で行うことができた。これにより、従来ではキャリアの移動度が小さいためにディスプレイ装置、イメージセンサー等のスイッチング素子として使用できなかった非単結晶半導体を用いた薄膜トランジスタを使用することが可能になった。

また、チャネル部の結晶度を増大させるためにレーザー加工技術を用いたので、大面積化されても加工精度上の問題はなく、良好な特性を有する薄膜トランジスタを大面積基板上に多数形成することが非常に容易になった。

さらには、レーザー加工を直線状、ドット状などの必要な部分にのみ行っているため、エッチング時の歩留りが上昇し、さらにリーク電流を低減することができた。

そのうえ、真空装置内にレーザー光を導いて本発明の構成を用いれば、さらに工程時間を短縮することができる、そのうえ、切断部と結晶化の部分が一致してリーク電流をさらに減らすことができる。

なお、本明細書の実施例においては、低抵抗半導体層としてN型のみ示したが、本発明の技術思想からP型の半導体層を有する薄膜トランジスタの場合にも、本発明が極めて有効であることは明らかである。

4. 図面の簡単な説明

第1図(a)～(g)、第4図は本発明の実施例について薄膜トランジスタの作製工程を示す。

第2図、第3図は従来の薄膜トランジスタの断面の概略図を示す。

10・・・薄膜トランジスタ

11・・・基板

12・・・低抵抗非単結晶半導体層

13・・・高抵抗非単結晶半導体層

14・・・結晶度の増大した部分

15・・・レーザー光

16・・・ゲート絶縁膜

17・・・ゲート電極

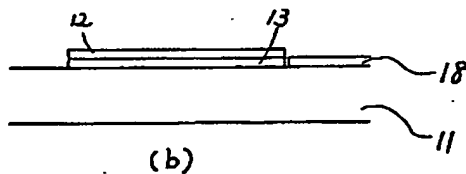
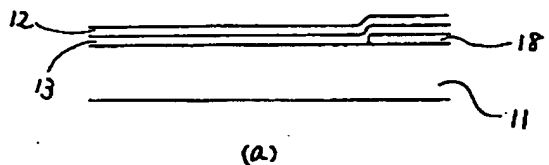
18・・・ITO電極

50、51・・・ソース、ドレイン電極

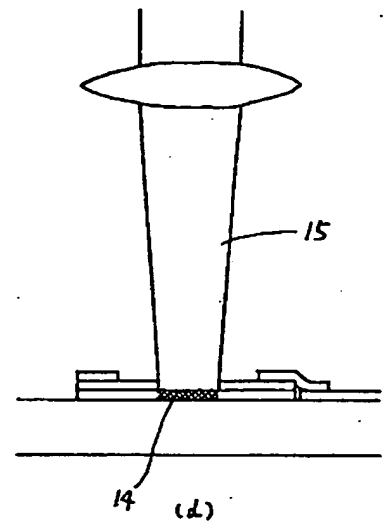
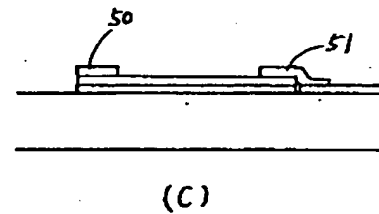
特許出願人

株式会社半導体エネルギー研究所

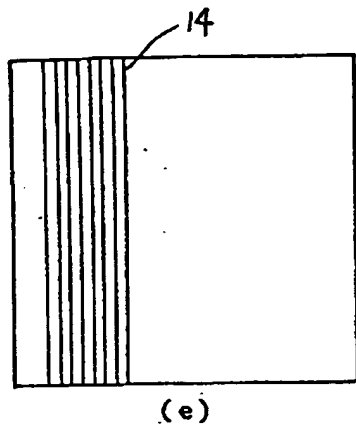
代表者 山崎 昇 平



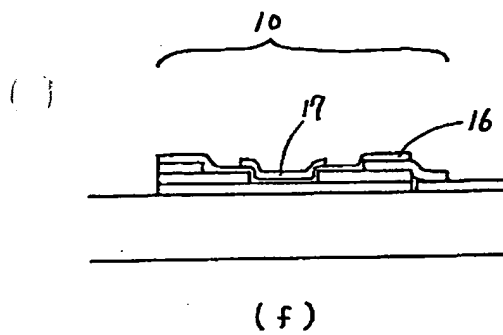
第 1 図



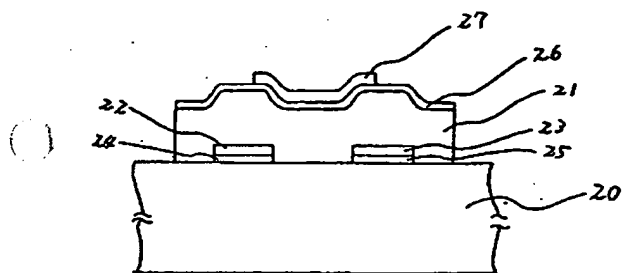
第 1 図



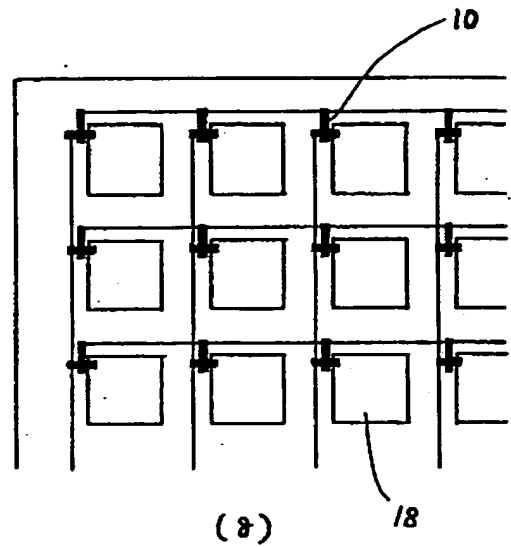
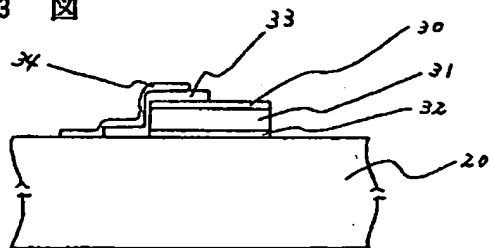
第 1 図



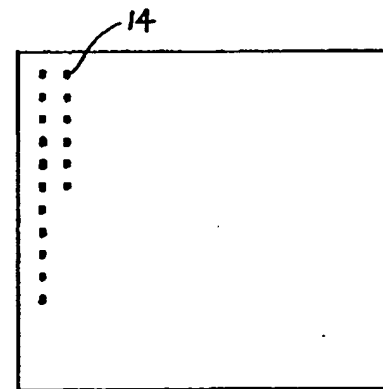
第 2 図



第 3 図



第 1 図



第 4 図